

GIẢI PHÁP TÁI CẤU HÌNH CHO CÁC BỘ ĐỊNH TUYẾN MẠNG TRÊN CHIP

Đặng Nam Khánh

Khóa QH-2010-I/CQ, ngành Công nghệ Điện tử-Viễn thông

Tóm tắt khóa luận tốt nghiệp:

Với đề tài “**Giải pháp tái cấu hình cho các bộ định tuyến mạng trên chip**”, bản khóa luận trình bày một cách khái quát về sự ra đời và phát triển của mạng trên chip (Network-on-chip: NoC), hệ thống trên chip (System-on-Chip: SoC) và các khái niệm bên trong. Với mục tiêu phát triển và hoàn thiện mô hình mạng trên chip để có thể ứng dụng trong các bài toán thực tế, khóa luận đề xuất, thiết kế và thực hiện giải pháp tái cấu hình cho các bộ định tuyến dùng cho mạng trên chip. Mô hình bộ định tuyến sẽ được mô hình hóa bằng ngôn ngữ mô tả phần cứng VHDL và kiểm chứng trên nền tảng FPGA bằng các công cụ thiết kế phần cứng. Qua quá trình kiểm chứng, thiết kế bộ định tuyến tái cấu hình khẳng định hoạt động đầy đủ các chức năng truyền thông và các chức năng tái cấu hình. Kết quả cũng so sánh hiệu năng của hai bộ định tuyến thông thường và tái cấu hình nhằm chỉ ra những kết quả đạt được trong giải pháp tái cấu hình.

Từ khóa:NoC, Tái cấu hình, Bộ định tuyến.