

ĐÁNH GIÁ VÀ ƯỚC LƯỢNG HIỆU NĂNG CỦA KIẾN TRÚC MẠNG TRÊN CHIP

Phạm Thị Huế

Khóa QH-2007-I/CQ, ngành Công nghệ Điện tử - Viễn thông

Tóm tắt khóa luận tốt nghiệp

Ngày nay, với sự tiến bộ của công nghệ bán dẫn, ta có thể tích hợp ngày càng nhiều lõi IP (Intellectual Property) lên cùng một hệ thống nhằm đáp ứng yêu cầu ngày càng cao của các ứng dụng. Việc tích hợp này làm tăng nhu cầu truyền thông trên chip, đặc biệt đối với các hệ thống lớn, phức tạp. Khái niệm mô hình mạng trên chip (Network-on-Chip) ra đời và được xem như là mô hình tiếp theo của hệ thống trên chip nhằm giải quyết bài toán truyền thông trên chip. Trước xu thế đó, Nhóm nghiên cứu Thiết kế vi mạch tích hợp tại Trường Đại học Công nghệ đã triển khai nghiên cứu và xây dựng một mô hình mạng trên chip với cấu trúc lưới hai chiều (2D-mesh). Tuy nhiên, để triển khai có hiệu quả các hệ thống ứng dụng trên mô hình mạng trên chip thì trước hết chúng ta cần phải thực hiện việc đánh giá hiệu năng của mô hình mạng đã được xây dựng.

Qua các tài liệu nghiên cứu cho thấy rằng các mô hình mạng trên chip được thiết kế khác nhau thì hiệu năng của các mô hình này cũng khác nhau. Từ việc đánh giá được hiệu năng của kiến trúc mạng trên chip ta sẽ chọn được tô-pô, cơ chế truyền thông, thuật toán định tuyến, và các tham số khác để thiết kế một kiến trúc mạng trên chip phù hợp nhất đối với từng loại ứng dụng. Hiện tại, có một số công trình đã và đang được triển khai trên thế giới liên quan đến việc đánh giá hiệu năng của kiến trúc mạng trên chip. Xuất phát từ mô hình mạng trên chip có cấu trúc 2D-mesh đang được xây dựng bởi nhóm nghiên cứu, khóa luận đã tìm hiểu về các kiến trúc mạng trên chip và đề xuất mô hình tính toán hiệu năng cho kiến trúc mạng trên chip này. Sau khi thực thi mô hình và thực hiện việc đánh giá hiệu năng mạng trên chip 2D-mesh, kết quả thu được cho thấy phương pháp đề xuất hoàn toàn phù hợp với đặc tính của mạng trên chip 2D-mesh được sử dụng và tương đồng với các phương pháp đã thực hiện bởi các nhóm nghiên cứu khác.

Khoá luận tốt nghiệp được cấu trúc gồm 4 chương: Chương 1 giới thiệu tổng quan về mạng trên chip, đặc biệt giới thiệu mô hình mạng trên chip được xây dựng tại Nhóm nghiên cứu Thiết kế vi mạch tích hợp mà khóa luận thực hiện đánh giá hiệu năng. Chương 2 giới thiệu về các khái niệm liên quan đến hiệu năng của mạng trên chip và các công trình nghiên cứu liên quan. Chương 3 đề xuất mô hình đánh giá hiệu năng và thực hiện đánh giá hiệu năng của mô hình mạng trên chip được xây dựng tại nhóm nghiên cứu. Các kết quả đánh giá và kết luận được trình bày trong chương 4.

Từ khóa: Mạng trên chip, tính toán hiệu năng mạng, hệ thống trên chip.