

THÔNG TIN VỀ LUẬN ÁN TIẾN SĨ

1. Họ và tên nghiên cứu sinh: Phạm Văn Hưởng.....
2. Giới tính: Nam
3. Ngày sinh: 21-11-1981.....
4. Nơi sinh: Hà Nam.....
5. Quyết định công nhận NCS số 3613/QĐ-SDH, ngày 22 tháng 10 năm 2009 của Giám đốc Đại học Quốc gia Hà Nội.
6. Các thay đổi trong quá trình đào tạo: Thay đổi đề tài luận án tiến sĩ theo Quyết định số 484/QĐ-ĐT ngày 19/7/2011 của Hiệu trưởng trường Đại học Công nghệ.....
7. Tên đề tài luận án: Một số phương pháp tối ưu trong các giai đoạn phát triển phần mềm nhúng
8. Chuyên ngành: Kỹ thuật phần mềm
9. Mã số: 62 48 01 03.....
10. Cán bộ hướng dẫn khoa học: PGS. TS. Nguyễn Ngọc Bình
11. Tóm tắt các **kết quả mới** của luận án:
 1. Xây dựng mô hình tối ưu chung và đề xuất cách tiếp cận tối ưu theo kỹ nghệ ngược. Dựa trên phân tích, tổng hợp các nghiên cứu liên quan, luận án đã xây dựng mô hình tổng thể cho bài toán tối ưu phần mềm nhúng. Mô hình này bao gồm hai cách tiếp cận là tối ưu trong kỹ nghệ xuôi và kỹ nghệ ngược theo các giai đoạn phát triển phần mềm nhúng với các mục tiêu tối ưu cụ thể.
 2. Đề xuất, phát triển phương pháp lập lịch các lệnh hợp ngữ theo thuật toán di truyền để tối ưu hiệu năng và điện năng tiêu thụ cho các kiến trúc CPU khác nhau. Cụ thể, chúng tôi đã xây dựng các hàm đánh giá hiệu năng cho mỗi chuỗi lệnh hợp ngữ trong một khối cơ bản theo kiến trúc đường ống lệnh và kiến trúc siêu vô hướng; xây dựng chương trình phân tích các tệp tin hợp ngữ thành các khối cơ bản; cài đặt thuật toán di truyền để tìm thứ tự thực hiện các lệnh tốt nhất theo mục tiêu tối ưu là hiệu năng hay điện năng. So với phương pháp lập lịch *List* của Tiwari, V., phương pháp lập lịch dựa trên thuật toán di truyền đạt kết quả tốt hơn.
 3. Đề xuất, phát triển phương pháp mới tối ưu điện năng tiêu thụ kết hợp cả phần cứng và phần mềm hệ thống nhúng dựa trên kỹ nghệ ngược và tái cấu hình CPU. Phương pháp này đã được chứng minh tính khả thi dựa trên phân tích điện năng

tiêu thụ của các đơn vị chức năng trong CPU. Với các chương trình thử nghiệm cho vi xử lý MIPS, trung bình điện năng tiêu thụ tiết kiệm được 17,74%.

4. Xây dựng các độ đo, hàm đánh giá hiệu năng, bộ nhớ trên biểu đồ lớp và đề xuất phương pháp tối ưu hiệu năng và phương pháp tối ưu đa mục tiêu; được thực hiện tự động một phần dựa trên DSL và T4. Đề xuất, phát triển phương pháp tối ưu bộ nhớ chiếm dụng dựa trên sắp xếp Tô-pô. Các phương pháp tối ưu trong giai đoạn thiết kế này được chúng tôi đề xuất mới và được kiểm chứng bằng thực nghiệm.
5. Cải tiến phương pháp tối ưu hiệu năng, bộ nhớ dựa trên chuyển đổi mô hình của Anne, K. với đề xuất dùng DSL, T4. Bổ sung thêm một số phép biến đổi như rút gọn kiểu dữ liệu, chuyển đổi thuộc tính tĩnh thành động, v.v.; xây dựng DSL, T4 để sinh đặc tả tự động từ mô hình.
6. Cải tiến phương pháp loại bỏ các biểu thức con chung để tối ưu hiệu năng dựa trên thay thế các biểu thức tương đương. So với lựa chọn tối ưu loại bỏ biểu thức con chung trong GCC ban đầu, chương trình được biên dịch với cải tiến của chúng tôi có hiệu năng tốt hơn.

12. Khả năng ứng dụng trong thực tiễn:

Về mặt thực tiễn, các nghiên cứu và thực nghiệm trong đề tài có thể áp dụng để tối ưu cho nhiều lớp bài toán khác nhau như: phần mềm nhúng mức thấp cho các vi xử lý AVR, ARM, MIPS, PowerPC, ...; các phần mềm trên điện thoại di động; các phần mềm trên các thiết bị cầm tay như Iphone, Ipad; và có thể áp dụng cho phần mềm thông thường.

13. Những hướng nghiên cứu tiếp theo:

Trong giai đoạn thiết kế, chúng tôi sẽ tiếp cận theo SPE để nghiên cứu các phương pháp tối ưu dựa trên các mô hình động. Mặt khác, chúng tôi cũng tổng hợp, nghiên cứu và tích hợp các độ đo chất lượng phần mềm khác vào phương pháp tối ưu đa mục tiêu. Trong giai đoạn lập trình, chúng tôi sẽ dựa trên cơ sở lập lịch đa CPU cho các tiến trình của hệ điều hành để giải quyết bài toán tối ưu trong môi trường đa CPU. Hơn nữa, chúng tôi cũng sẽ nghiên cứu các thuật toán tiến hóa để giảm độ phức tạp tính toán cho các thuật toán tối ưu. Ngoài ra, trong giai đoạn thực thi, chúng tôi sẽ nghiên cứu sâu hơn để đưa ra phương pháp phân lớp cho các chương trình trong kỹ thuật JIT.

14. Các công trình đã công bố có liên quan đến luận án:

1. P.V. Huong, N.N. Binh and B.N Hai (2011), “A Pareto Optimal Configuration at design Phase for SoC Platform Based on the Genetic Algorithm”, *Proceedings of IEICE ICDV*, Hanoi, pp. 160-165. (ISBN: 978-4-88522-258-1 C3055).

2. P.V. Huong, N.N. Binh and P.N. Thanh (2012), "Optimizing occupied Memory of Embedded Software in the design phase", *Journal of Computer Science and Cybernetics*, V.28, N.3, pp. 234-244.
3. P.V.Huong, N.N. Binh (2012), "Design and Generating Code for Embedded Systems Based on DSL and T4", *Journal of Computer Science and Cybernetics*, V.28, N.4, pp. 323-332.
4. P.V. Huong, N.N. Binh (2012), "Embedded System Architecture Design and Optimization at the Model Level", *International Journal of Computer and Communication Engineering (IJCCE)*, Vol. 1, No. 4, pp. 345-349. (ISSN: 2010-3743).
5. P.V. Huong, N.N. Binh, B.N. Hai and V.V. Phuc (2012), "Hardware-Software Co-Design to Optimize Embedded System by Pareto Principle and DSL", *Proceedings of IEICE ICDV*, Hanoi, pp. 52-57. (ISBN: 978-4-88522-264-2 C3055).
6. P.V. Huong, N.N. Binh, N.T. Huyen, N.T. Duong and T.N. Phu (2012), "Embedded Software Performance Optimization Based on Generating the Simulation Code of Functions", *Proceedings of IEICE ICDV*, Hanoi, pp. 149-154. (ISBN: 978-4-88522-264-2 C3055).
7. P.V. Huong, N.N. Binh (2012), "Embedded System Design and Code Generation by Using the DSL and T4", *Proceedings of International Conference on Electronics Engineering and Informatics (ICEEI)*, Phuket Thailand, pp. 155-160. (ISBN: 978-981-07-3331-5, ISSN: 2010-460X).
8. P.V. Huong, N.N. Binh (2012), "An Approach to Design Embedded Systems by Multi-objective Optimization", *Proceedings of the 2012 International Conference on Advanced Technologies for Communication (IEEE ATC 2012)*, Hanoi, pp. 165-169 (ISBN: 978-1-4673-4350-3, ISSN: 2162-1020, IEEE Catalog Number: CFB12ATC-PRT).
9. P.V. Huong, N.N. Binh (2012), "Class Diagram Based Evaluation of Software Performance", *Proceedings of International Conference on Information and Digital Engineering (ICIDE)*, SPIE, Vol. 8768, Singapore, pp. 211-217. (DOI: 10.1117/12.2008322, http://spie.org/x648.html?product_id=2008322).
10. P.V. Huong, N.N. Binh, P.N. Thanh (2012), "Embedded Software Memory Optimization Based on the DSL and Topological Sort", *Proceedings of International Conference on Software and Intelligent Information*, Singapore, pp. 1-5. (DOI: 10.1117/12.2011266, http://spie.org/x648.html?product_id=2011266).
11. P.V. Huong, N.N. Binh and B.N. Hai (2013), "Multi-objective Optimization for Embedded Software at Model Level Based on DSL and T4", *International Journal*

- of Engineering Research & Technology (IJERT)*, Vol. 2 Issue 9, India, pp. 1229-1236.
12. P.V. Huong, N.N. Binh and B.N. Hai (2013), “Optimizing Source Code of Embedded Software Based on Replacing Equivalent Expression”, *Proceedings of IEICE ICDV*, TP Ho Chi Minh, pp. 193-198.
 13. P.V. Huong, B.N. Hai and N.N. Binh (2014), “An Approach to Instruction Scheduling at the Processor Architecture Level for Optimizing Embedded Software”, *Proceedings of the 2014 International Conference on Advanced Technologies for Communication (IEEE ATC)*, Hanoi, pp. 226-231.
 14. P.V. Huong, N.N. Binh and V.V. Phuc (2014), “A New Approach to Optimizing the Power Consumption of Existed Embedded Systems Based on the Combination of Hardware and Software”, *Proceedings of IEICE ICDV*, Hanoi. (Accepted)
 15. N.N. Binh, P.V. Huong and B.N. Hai (2015), “A new approach to embedded software optimization based on reverse engineering”, *IEICE Trans. INF. & SYST*, Vol.E98-D, No.6 (**SCI indexed**).

Ngày tháng năm 20
Xác nhận của cán bộ hướng dẫn
(Kí và ghi rõ họ tên)

PGS. TS. Nguyễn Ngọc Bình

Ngày tháng năm 20
Nghiên cứu sinh
(Kí và ghi rõ họ tên)

Phạm Văn Hưởng

INFORMATION ON DOCTORAL THESIS

1. Full name : Pham Van Huong 2. Sex: Male.....
3. Date of birth: 21-11-1981 4. Place of birth: Ha Nam.....
5. Admission decision number: 3613/QĐ-SĐH Dated 22-10-2009 of President of the Vietnam National University, Hanoi.
6. Changes in academic process: Change the thesis according Decision No. 484/QĐ-ĐT, Dated 19/7/2011 of Rector of the University of Engineering and Technology
7. Official thesis title: Some Methods of Optimization in the Embedded Software Development Phases
8. Major: Software Engineering 9. Code: 62 48 01 03
10. Supervisors: Associate Professor, Dr. Nguyen Ngoc Binh.....
11. Summary of the **new findings** of the thesis:
 1. Construct a general optimization model and propose an approach to optimization in reverse engineering for embedded software. Based on the analysis and synthesis of relevant studies, this thesis has developed overall model for optimization problems of embedded software. This model consists of two approaches such as optimization in the forward engineering and optimization in reverse engineering, according to the phases of embedded software development, with the specific optimal objectives.
 2. Propose and develop the methods of assembly instructions by the genetic algorithm to optimize performance and power consumption for different CPU architectures. We have developed evaluation functions for each chain of assembly instructions in a basic block under pipeline architecture and super-scalar architecture; building program analysis an assembly program into basic blocks; implement genetic algorithms to find the best execution order of an instruction chain with optimal objective such as performance, power consumption. Compared with the List scheduling method of Tiwari, V., our method based on genetic algorithms achieves better results.

3. Propose and develop a new method to optimize power consumption combining hardware and software of embedded systems based on reverse engineering and re-configure a CPU. We analyzed the power consumption of functional units in the CPU to proof this method. With test programs for the MIPS processor, the average power consumption saving is 17.74%.
4. Construct metrics, evaluation functions of performance and memory on class diagrams and propose the performance optimization method and the multi-objective optimization method; our methods are done automatically in part based on DSL and T4. Propose and develop the optimization method based on memory usage of topological sort. The new optimization methods proposed in the design phase are proven by experiments.
5. Improve methods of performance and memory optimization based model transformation of Anne, K. proposal by using DSL and T4. Adding some types of transformations such as reduction of data types, converting static members into dynamic member, etc; Build DSL and T4 to generate automatically the specification of a model.
6. Improve the method of removing the common expressions to optimize performance based on replacing equivalent expressions. Compared with the program compiled with the origin GCC with the option of the common expression emilination, the program compiled with the GCC associated with our improvements has better performance.

12. Practical applicability, if any:

The research results in this thesis can be applied to different classes of optimization problems as follows: low-level embedded software for processors such as AVR, ARM, MIPS, PowerPC, etc; mobile software; software on handheld devices such as Iphone, Ipad; and can be applied to PC software.

13. Further research directions, if any:

In the design phase, we will study the SPE approach to optimize on dynamic model. On the other hand, we will also research and combined metrics of software quality and optimal objectives for multi-objective optimization. In the implementation phase, we will reseach instruction scheduling for multi CPU system. Moreover, we will also study the evolutionary algorithm to reduce the computational complexity of optimization algorithms. In addition, the execution phase, we will further study the classification methods of code in the JIT.

14. Thesis-related publications:

1. P.V. Huong, N.N. Binh and B.N Hai (2011), "A Pareto Optimal Configuration at design Phase for SoC Platform Based on the Genetic Algorithm", *Proceedings of IEICE ICDV*, Hanoi, pp. 160-165. (ISBN: 978-4-88522-258-1 C3055).
2. P.V. Huong, N.N. Binh and P.N. Thanh (2012), "Optimizing occupied Memory of Embedded Software in the design phase", *Journal of Computer Science and Cybernetics*, V.28, N.3, pp. 234-244.
3. P.V.Huong, N.N. Binh (2012), "Design and Generating Code for Embedded Systems Based on DSL and T4", *Journal of Computer Science and Cybernetics*, V.28, N.4, pp. 323-332.
4. P.V. Huong, N.N. Binh (2012), "Embedded System Architecture Design and Optimization at the Model Level", *International Journal of Computer and Communication Engineering (IJCCE)*, Vol. 1, No. 4, pp. 345-349. (ISSN: 2010-3743).
5. P.V. Huong, N.N. Binh, B.N. Hai and V.V. Phuc (2012), "Hardware-Software Co-Design to Optimize Embedded System by Pareto Principle and DSL", *Proceedings of IEICE ICDV*, Hanoi, pp. 52-57. (ISBN: 978-4-88522-264-2 C3055).
6. P.V. Huong, N.N. Binh, N.T. Huyen, N.T. Duong and T.N. Phu (2012), "Embedded Software Performance Optimization Based on Generating the Simulation Code of Functions", *Proceedings of IEICE ICDV*, Hanoi, pp. 149-154. (ISBN: 978-4-88522-264-2 C3055).
7. P.V. Huong, N.N Binh (2012), "Embedded System Design and Code Generation by Using the DSL and T4", *Proceedings of International Conference on Electronics Engineering and Informatics (ICEEI)*, Phuket Thailan, pp. 155-160. (ISBN: 978-981-07-3331-5, ISSN: 2010-460X).
8. P.V. Huong, N.N. Binh (2012), "An Approach to Design Embedded Systems by Multi-objective Optimization", *Proceedings of the 2012 International Conference on Advanced Technologies for Communication (IEEE ATC 2012)*, Hanoi, pp. 165-169 (ISBN: 978-1-4673-4350-3, ISSN: 2162-1020, IEEE Catalog Number: CFB12ATC-PRT).
9. P.V. Huong, N.N Binh (2012), "Class Diagram Based Evaluation of Software Performance", *Proceedings of International Conference on Information and Digital Engineering (ICIDE)*, SPIE, Vol. 8768, Singapore, pp. 211-217. (DOI: 10.1117/12.2008322, http://spie.org/x648.html?product_id=2008322).
10. P.V. Huong, N.N. Binh, P.N. Thanh (2012), "Embedded Software Memory Optimization Based on the DSL and Topological Sort", *Proceedings of*

- International Conference on Software and Intelligent Information*, Singapore, pp. 1-5. (DOI: 10.1117/12.2011266, http://spie.org/x648.html?product_id=2011266).
11. P.V. Huong, N.N. Binh and B.N. Hai (2013), “Multi-objective Optimization for Embedded Software at Model Level Based on DSL and T4”, *International Journal of Engineering Research & Technology (IJERT)*, Vol. 2 Issue 9, India, pp. 1229-1236.
 12. P.V. Huong, N.N. Binh and B.N. Hai (2013), “Optimizing Source Code of Embedded Software Based on Replacing Equivalent Expression”, *Proceedings of IEICE ICDV*, TP Ho Chi Minh, pp. 193-198.
 13. P.V. Huong, B.N. Hai and N.N. Binh (2014), “An Approach to Instruction Scheduling at the Processor Architecture Level for Optimizing Embedded Software”, *Proceedings of the 2014 International Conference on Advanced Technologies for Communication (IEEE ATC)*, Hanoi, pp. 226-231.
 14. P.V. Huong, N.N. Binh and V.V. Phuc (2014), “A New Approach to Optimizing the Power Consumption of Existed Embedded Systems Based on the Combination of Hardware and Software”, *Proceedings of IEICE ICDV*, Hanoi. (Accepted)
 15. N.N. Binh, P.V. Huong and B.N. Hai (2015), “A new approach to embedded software optimization based on reverse engineering”, *IEICE Trans. INF. & SYST*, Vol.E98-D, No.6 (**SCI indexed**).

Date: 4/24/2015

Signature:

Full name: Assoc. Prof. ,Dr. Nguyen Ngoc Binh

Date: 4/24/2015

Signature:

Full name: Pham Van Huong